

日本国特許庁
JAPAN PATENT OFFICE

YAMADA, Hisashi et al.
January 17, 2002
BSKB, LLP
(703) 205-8000
3885-0153
1 of 1
01/17/02 U.S. PAT. & T. OFFICE
11000 01/17/02
類に記載され

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日
Date of Application:

2001年 1月17日

出願番号
Application Number:

特願2001-009143

出 願 人
Applicant(s):

住友化学工業株式会社

TC 2800 MAIL ROOM

JUN - 7 2002

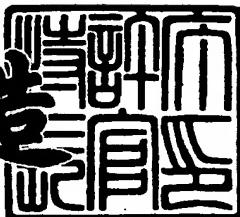
RECEIVED

**CERTIFIED COPY OF
PRIORITY DOCUMENT**

2001年12月14日

特許庁長官
Commissioner,
Japan Patent Office

及川耕



出証番号 出証特2001-3109117

【書類名】 特許願
 【整理番号】 152189
 【あて先】 特許庁長官殿
 【国際特許分類】 H01L 21/331
 H01L 29/73

【発明者】

【住所又は居所】 茨城県つくば市北原 6 住友化学工業株式会社内
 【氏名】 山田 永

【発明者】

【住所又は居所】 茨城県つくば市北原 6 住友化学工業株式会社内
 【氏名】 福原 昇

【発明者】

【住所又は居所】 茨城県つくば市北原 6 住友化学工業株式会社内
 【氏名】 秦 雅彦

【特許出願人】

【識別番号】 000002093
 【氏名又は名称】 住友化学工業株式会社

【代理人】

【識別番号】 100077540

【弁理士】

【氏名又は名称】 高野 昌俊

【手数料の表示】

【予納台帳番号】 060336
 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0013944

特2001-009143

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 p n接合を有する薄膜結晶ウェーハとその製造方法

【特許請求の範囲】

【請求項1】 p n接合を有する薄膜結晶ウェーハにおいて、

前記p n接合が格子整合しているp型GaAsの第1結晶層とn型 $In_xAl_{1-x}P$ の第2結晶層とのヘテロ接合であり、該ヘテロ接合の界面に前記第2結晶層のn型 $In_xAl_yGa_{1-x-y}P$ とは組成の異なる $In_xAl_yGa_{1-x-y}P$ の薄膜層を設けたことを特徴とするp n接合を有する薄膜結晶ウェーハ。

【請求項2】 前記薄膜層のバンドギャップの値が1.75eV～2.10eVの範囲内にある請求項1記載のp n接合を有する薄膜結晶ウェーハ。

【請求項3】 前記薄膜層の厚さが10Å以上100Å以下である請求項1又は2記載のp n接合を有する薄膜結晶ウェーハ。

【請求項4】 GaAs基板上に化合物半導体結晶層を次々に積層してヘテロ接合バイポーラトランジスタ用のp n接合を有する薄膜結晶ウェーハを製造する方法において、

ベース層としてp型GaAs結晶層を形成した後、該p型GaAs結晶層の格子定数と異なる格子定数の $In_xAl_yGa_{1-x}P$ の薄膜層を形成し、さらに、前記p型GaAs結晶層の格子定数と同一の格子定数のn型 $In_xAl_yGa_{1-x-y}P$ 結晶層をエミッタ層として形成するようにしたことを特徴とするp n接合を有する薄膜結晶ウェーハの製造方法。

【請求項5】 A1組成y=0である請求項1又は2又は3記載のp n接合を有する薄膜結晶ウェーハ。

【請求項6】 A1組成y=0である請求項4記載のp n接合を有する薄膜結晶ウェーハの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、p-n接合を有する薄膜結晶ウェーハとその製造方法に関するものである。

【0002】

【従来の技術】

ヘテロ結合バイポーラトランジスタ（HBT）は、エミッタ注入効率を高めるため、エミッタ層にベース層よりもバンドギャップの大きい物質を用いてエミッターベース接合をヘテロ接合としたバイポーラトランジスタであり、マイクロ波帯以上の周波数領域で使用する半導体素子として好適なため、次世代携帯電話用の半導体素子として期待されている。その理由は、単一電源で駆動できること、効率が高いこと、低歪特性であること等によっているが、その中でも、InGaP系HBTは、現在最も開発の進んでいるAlGaAs系HBTに比べ、酸化されにくく高純度の結晶が得られる、GaAsとの価電子帯オフセットが大きくホールの逆注入が少ない、3-5族化合物半導体特有の深い準位であるDXセンターがない、界面での再結合速度が低い、エッチング選択比が大きいためデバイスプロセス上有利である等の特徴を有しており、特に注目されている。

【0003】

InGaP系HBTは、例えば半絶縁性GaAs基板上有機金属熱分解法（MOCVD法）を用いて、 n^+ 型GaAs層、n型GaAs層（コレクタ層）、p型GaAs層（ベース層）、n型InGaP層（エミッタ層）、 n^+ 型GaAs層を次々に成長させ、一番上に n^+ 型InGaAs層を成長させた、エミッターベース接合であるp-n接合がヘテロ接合の構造となっている薄膜結晶ウェーハを用いて作られる。

【0004】

上述の如く構成されるInGaP薄膜結晶ウェーハを用いて作られるHBTの基本動作は、いずれもシリコンを用いた従来のバイポーラトランジスタと同じであり、マイクロ波帯以上の周波数領域でそれぞれの仕様に見合った充分な性能を発揮できるようにさせるには、電流増幅率 β 及びオフセット電圧 V_{be} の値を仕様に応じた適切な値とするように設計することが要求される。

【0005】

【発明が解決しようとする課題】

ところで、上述したトランジスタ特性は、いずれも p-n 接合におけるエネルギー バンドギャップ値に依存しているため、これらのトランジスタ特性を所望の値とするには、伝導帯のエネルギー不連続値を変化させる必要がある。しかし、InGaP 系 HBT の場合、 $In_x Ga_{1-x} P$ エミッタ層は組成 $x = 0.48$ においてのみ GaAs ベース層に格子整合するので、 $In_x Ga_{1-x} P / GaAs$ 系の HBT の設計の自由度は小さく、必ずしも要求に見合った電気的特性を実現できるとは限らないという問題点を有している。

【0006】

$InGaP / GaAs$ 系の HBT におけるこの問題点を、 $In_x Ga_{1-x} P$ エミッタ層の In の組成 x を、 $In_x Ga_{1-x} P$ の格子定数が GaAs ベース層あるいは GaAs ベース層の格子定数よりわずかに小さな格子定数、あるいはわずかに大きな格子定数となるように選ぶことにより解決することが提案されている（例えば、特開平8-241896号公報）。

【0007】

しかし、この構成によると、エミッタ層の In の組成 x を大きく変えると、エミッタ層とベース層との間の格子定数の不整合も大きくなる結果、各層に働く圧縮又は引張応力により界面に欠陥が形成されることになり電流増幅率 β が低下する。又ウェーハ全体に亘って大きな歪みが作用することとなるので、ウェーハ全体のそりが大きくなり、微細パターニングの際に不利となるという不具合を生じることとなる。したがって、従来の技術によっては HBT の設計の自由度を大幅に改善することは現実的には難しいものである。

【0008】

本発明の目的は、したがって、従来技術における上述の問題点を解決することができる p-n 接合を有する薄膜結晶ウェーハとその製造方法を提供することにある。

【0009】

本発明の他の目的は、 $In_x Ga_{1-x} P / GaAs$ ヘテロ接合において比較的広範囲に接合界面のエネルギー不連続値を設定できるようにした p-n 接合を有す

るそりの少ない薄膜結晶ウェーハとその製造方法を提供することにある。

【0010】

本発明の他の目的は、InGaP/GaAs系HBTの設計の自由度を大きくすることができるpn接合を有する薄膜結晶ウェーハとその製造方法を提供することにある。

【0011】

【課題を解決するための手段】

上記課題を解決するため、本発明は、格子整合しているp型GaAsの第1結晶層とn型 $In_xAl_yGa_{1-x-y}P$ の第2結晶層とのヘテロ接合の界面に、該第2結晶層のn型 $In_xAl_yGa_{1-x-y}P$ とは組成の異なる $In_xAl_yGa_{1-x-y}P$ の薄膜層（制御層）を設け、これにより上記ヘテロ接合におけるエネルギー・バンドギャップ値を変更するようにしたものである。

【0012】

pn接合を有する薄膜結晶ウェーハの構成を上述の如くすることにより、 $In_xAlGa_{1-x-y}P$ の薄膜層の格子定数の値を、n型 $In_xAl_yGa_{1-x-y}P$ の第2結晶層の格子定数とp型GaAsの第1結晶層の格子定数とは異なるものとし、これにより、n型 $In_xAl_yGa_{1-x-y}P$ の第2結晶層の格子定数とp型GaAsの第1結晶層の格子定数とを同一としたままヘテロ接合におけるエネルギー・バンドギャップ値を $In_xAl_yGa_{1-x-y}P$ の薄膜層のInの組成xの変更により制御可能となる。この構成により生じる格子定数の不整合領域は上記薄膜層の近辺のみに生じて限定的であるので、欠陥の発生を抑えることができる。又pn接合を有する薄膜結晶ウェーハ全体に生じる反りを比較的小さいものとすることができる。

【0013】

請求項1の発明によれば、pn接合を有する薄膜結晶ウェーハにおいて、前記pn接合が格子整合しているp型GaAsの第1結晶層とn型 $In_xAl_yGa_{1-x-y}P$ の第2結晶層とのヘテロ接合であり、該ヘテロ接合の界面に前記第2結晶層のn型 $In_xAl_yGa_{1-x-y}P$ とは組成の異なる $In_xAl_yGa_{1-x-y}P$ の薄膜層を設けたことを特徴とするpn接合を有する薄膜結晶ウェーハ

が提案される。

【0014】

請求項2の発明によれば、請求項1の発明において、前記薄膜層のバンドギャップ値が1.75eV～2.10eVの範囲内にあるpn接合を有する薄膜結晶ウェーハが提案される。

【0015】

請求項3の発明によれば、請求項1又は2の発明において、前記薄膜層の厚さが10Å以上100Å以下であるpn接合を有する薄膜結晶ウェーハが提案される。

【0016】

請求項4の発明によれば、GaAs基板上に化合物半導体結晶層を次々に積層してヘテロ接合バイポーラトランジスタ用のpn接合を有する薄膜結晶ウェーハを製造する方法において、ベース層としてp型GaAs結晶層を形成した後、該p型GaAs結晶層の格子定数と異なる格子定数のIn_xAl_yGa_{1-x-y}Pの薄膜層を形成し、さらに、前記p型GaAs結晶層の格子定数と同一の格子定数のn型In_xAl_yGa_{1-x-y}P結晶層をエミッタ層として形成するようにしたことを特徴とするpn接合を有する薄膜結晶ウェーハの製造方法が提案される。

【0017】

請求項5の発明によれば、Al組成y=0のn型In_xGa_{1-x}Pの薄膜層、エミッタ層のpn接合を有する薄膜結晶ウェーハが提案される。

【0018】

請求項6の発明によれば、Al組成y=0のn型In_xGa_{1-x}Pの薄膜層、エミッタ層のpn接合を有する薄膜結晶ウェーハの製造方法が提案される。

【0019】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態の一例につき詳細に説明する。

【0020】

図1は、本発明によるHBT用のpn接合を有する薄膜結晶ウェーハの実施の形態の一例を示す断面図である。薄膜結晶ウェーハ1はHBTの製造に用いられ

るものであり、半絶縁性のGaAs化合物半導体結晶であるGaAs基板2上に複数の半導体薄膜結晶層を次々と積層させて構成されたものである。すなわち、GaAs基板2上に、バッファ層3を形成した後、導電層として働くn⁺型GaAs層4、コレクタ層として働くn型GaAs層5、ベース層として働くp型GaAs層6、ヘテロ接合におけるエネルギー・バンドギャップ値を所要の値に調整可能として薄膜結晶ウェーハ1に設計の自由度を与えるための制御層として働くn型In_xGa_{1-x}P層7、エミッタ層として働くn型In_xGa_{1-x}P層8、エミッタキャップ層として働くn⁺型GaAs層9及びn⁺型InGaAs層10が順次半導体エピタキシャル成長層として成長されて成る多層構造となっている。なお、実施の形態ではA1組成y=0について説明するが、A1を含んだ系でも同様の効果がある。

【0021】

このように、薄膜結晶ウェーハ1においては、実質的にp型GaAs層6とn型In_xGa_{1-x}P層8とによって形成されるベースーエミッタ接合であるpn接合がヘテロ接合となっている。ここで、p型GaAs層6の格子定数はn型In_xGa_{1-x}P層8の格子定数と同一となるよう、n型In_xGa_{1-x}P層8のInの組成xの値が0.48に定められている。

【0022】

上述の如く形成されているヘテロ接合におけるエネルギー・バンドギャップ値を調整可能とするため、p型GaAs層6とn型In_xGa_{1-x}P層8とによって形成されるヘテロ接合の界面にn型In_xGa_{1-x}P層7が設けられている。n型In_xGa_{1-x}P層7は、p型GaAs層6及びn型In_xGa_{1-x}P層8の厚みに比べて十分に薄い薄膜層として形成されると共に、In組成を変化させることでバンドギャップ値が1.75eV～2.10eVに定められている。すなわち、p型GaAs層6とn型In_xGa_{1-x}P層8とは格子整合しているが、n型In_xGa_{1-x}P層7はp型GaAs層6及びn型In_xGa_{1-x}P層8のいずれとも格子整合していない状態となっている。この不整合状態は、n型In_xGa_{1-x}P層7のInの組成xの値により定まり、このxの値が0.48から大きい方または小さい方にずれるに従ってその不整合状態が大きくなる。

【0023】

この不整合状態はn型 $In_xGa_{1-x}P$ 層7に格子歪みを導入することとなるほか、n型 $In_xGa_{1-x}P$ 層8のn型 $In_xGa_{1-x}P$ 層7側の近傍においても格子歪みを導入することとなる。

【0024】

n型 $In_xGa_{1-x}P$ 層7の組成xが0.48より小さいとエネルギー・バンドギャップが大きくなりホールの逆注入が小さくなつて電流増幅率が増大する。逆に、n型 $In_xGa_{1-x}P$ 層7の組成xが0.48より大きいと伝導帯のエネルギー・不連続は小さくなり、 $x=0.48$ の場合に比べてオフセット電圧が低下することになる。

【0025】

以上のことから、n型 $In_xGa_{1-x}P$ 層7の組成xの値を小さくする程、HBTとしての電流増幅率 β を大きくすることができ、一方、組成xの値を大きくする程、オフセット電圧 V_{be} を小さくすることができるということが判る。

【0026】

ここで、ベース層であるp型GaAs層6及び、エミッタ層であるn型 $In_xGa_{1-x}P$ 層8の厚みは、通常のこの種の公知のウェーハの場合と同様にしてよく、制御層であるn型 $In_xGa_{1-x}P$ 層8の厚みはこれらに比して充分に薄いものとする。例えば、p型GaAs層6の厚みを800Å、n型 $In_xGa_{1-x}P$ 層8の厚みを300Åとした場合、n型 $In_xGa_{1-x}P$ 層7の厚みは例えば10~100Å程度が適当である。

【0027】

10Åの厚みの制御層を有する図1に示した構造の薄膜結晶ウェーハをTMG、TEG、TMA、TMI、AsH₃、PH₃を原料として用い、成長温度を550°C~600°Cで成長する。この条件で製作し、これにより得られたHBTの特性を測定した場合の結果は以下の通りであった。

$$E_g = 2.10\text{ eV} \text{ の場合 } \beta = 120 \quad V_{be} = 1.12 \text{ (V)}$$

$$E_g = 1.90\text{ eV} \text{ の場合 } \beta = 114 \quad V_{be} = 1.09 \text{ (V)}$$

$$E_g = 1.75\text{ eV} \text{ の場合 } \beta = 112 \quad V_{be} = 1.08 \text{ (V)}$$

この場合の測定条件は、 $100\text{ }\mu\text{m} \times 100\text{ }\mu\text{m}$ のエミッタサイズのHBTを作製し、コレクタ電流を $1\text{ kA}/\text{cm}^2$ 流したときのベース電流/コレクタ電流を電流増幅率 β とする。又コレクタ電圧 2 V 印加しコレクタ電流 $100\text{ }\mu\text{A}$ 流れるとときのベースーエミッタ間電圧をオフセット電圧 V_{be} とする。

【0028】

図2～図4は、 $Eg = 2.10\text{ eV}, 1.90\text{ eV}, 1.75\text{ eV}$ の各場合についての、コレクタ電流 I_C 対増幅率 β の特性を示すグラフである。図2～図4から判るように、コレクタ電流 I_C が大きくなる程、増幅率 β も大きくなる傾向を一般に有しているが、 In の組成 x の値を小さくする程、バンドギャップが大きくなり、増幅率 β の値が大きくなることが判る。

【0029】

薄膜結晶ウェーハ1は、上述の如く、ベース層として働くp型GaAs層6とエミッタ層として働くn型 $In_x Ga_{1-x}$ P層8によるヘテロ接合の界面に比較的薄いn型 $In_x Ga_{1-x}$ P層7を制御層として設け、n型 $In_x Ga_{1-x}$ P層7のバンドギャップ値を $1.75\text{ eV} \sim 2.10\text{ eV}$ の範囲内の適宜の値とし、これにより、n型 $In_x Ga_{1-x}$ P層8の格子定数とp型GaAs層6の格子定数とを同一としたままヘテロ接合におけるエネルギー・バンドギャップ値を変更し、電流増幅率 β を大きくし又は小さくし、あるいはオフセット電圧 V_{be} を低減させることにより消費電力の低減を図るなど、HBTの設計の自由度を大幅に拡大することができる。ここで、この構成により生じる格子定数の不整合領域は限定的であるので、p-n接合を有する薄膜結晶ウェーハ全体に生じる反りを比較的小さいものとすることができます、微細パターニングにおけるパターン精度を著しく向上させることができることが期待できる。

【0030】

【発明の効果】

本発明によれば、上述の如く、格子整合しているp型GaAsの第1結晶層とn型 $In_x Al_y Ga_{1-x-y}$ Pの第2結晶層とのヘテロ接合の界面に、該第2結晶層のn型 $In_x Al_y Ga_{1-x-y}$ Pとは In の組成 x の異なる $In_x Ga_{1-x}$ Pの薄膜層（制御層）を設け、これにより上記ヘテロ接合におけるエネルギー・バ

ンドギャップ値を変更するようにしたものであるから、n型 $In_xAl_yGa_{1-x-y}P$ の第2結晶層の格子定数とp型GaAsの第1結晶層の格子定数とを同一としたままヘテロ接合におけるエネルギー bandwidth ギャップ値を変更し、電流増幅率 β を大きくし又は小さくし、あるいはオフセット電圧 V_{be} を低減させることにより消費電力の低減を図るなど、HBTの設計の自由度を大幅に拡大することができる。ここで、この構成により生じる格子定数の不整合領域は限定的であるので、欠陥を発生させることなくpn接合を有する薄膜結晶ウェーハに生じる反りを比較的小さいものとすることができ、微細パターニングにおけるパターン精度を著しく向上させることができることが期待できる。

【図面の簡単な説明】

【図1】

本発明によるHBT用の薄膜結晶ウェーハの実施の形態の一例を示す断面図。

【図2】

制御層の $E_g = 2.10\text{ eV}$ とした場合のコレクタ電流値に対する電流増幅率特性を示すグラフ。

【図3】

制御層の $E_g = 1.90\text{ eV}$ とした場合のコレクタ電流値に対する電流増幅率特性を示すグラフ。

【図4】

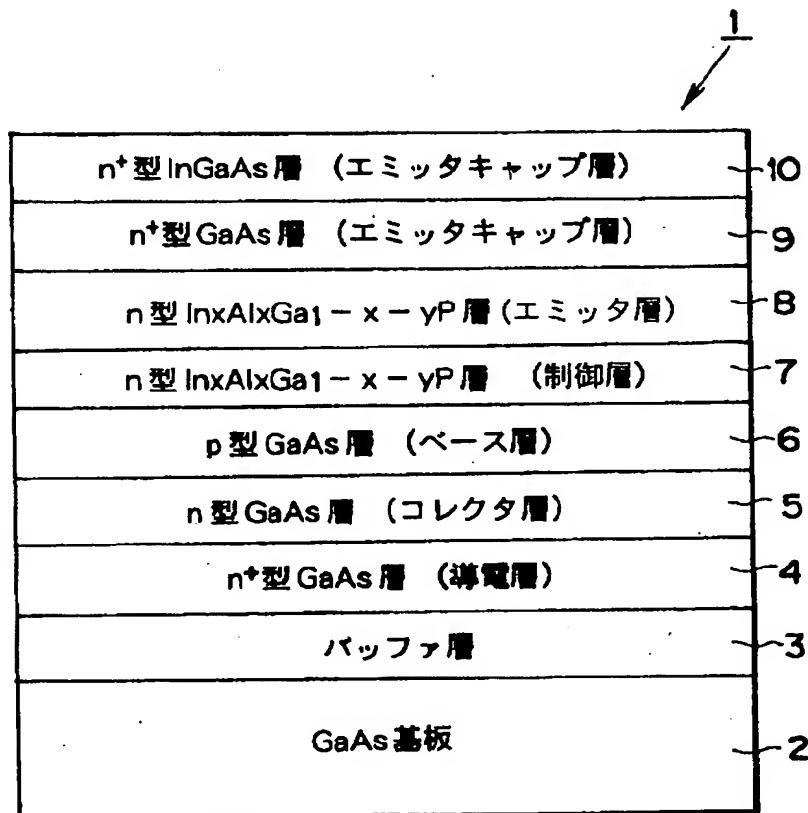
制御層の $E_g = 1.75\text{ eV}$ とした場合のコレクタ電流値に対する電流増幅率特性を示すグラフ。

【符号の説明】

- 1 薄膜結晶ウェーハ
- 2 GaAs 化合物半導体結晶基板
- 3 バッファ層
- 4 n^+ 型GaAs層（導電層）
- 5 n型GaAs層（コレクタ層）
- 6 p型GaAs層（ベース層）
- 7 $In_xAl_yGa_{1-x-y}P$ 層（制御層）

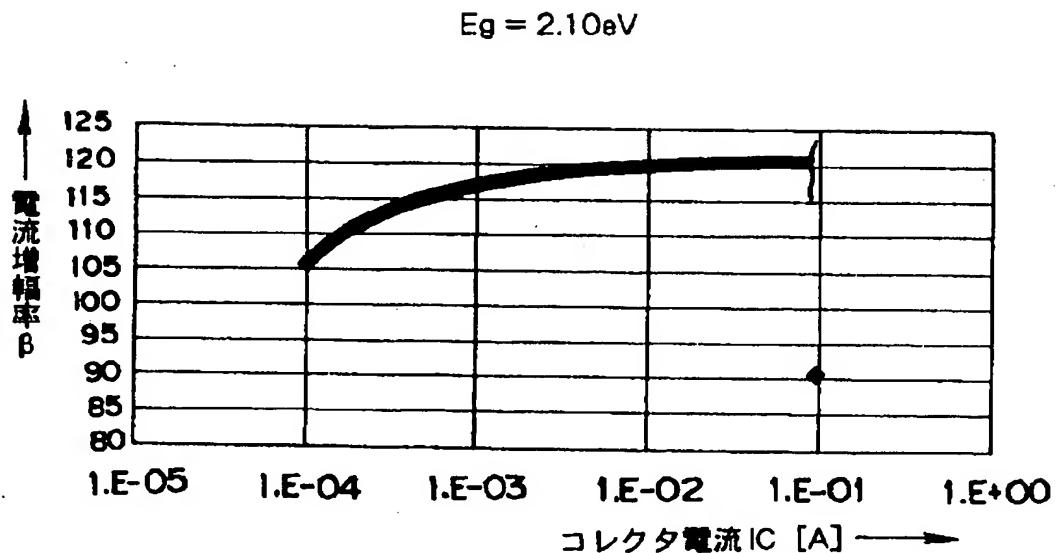
- 8 n型 $In_xAl_yGa_{1-x}$ P層(エミッタ層)
- 9 n⁺型GaAs層(エミッタキャップ層)
- 10 n⁺型InGaAs層(エミッタキャップ層)

【書類名】 図面
【図1】

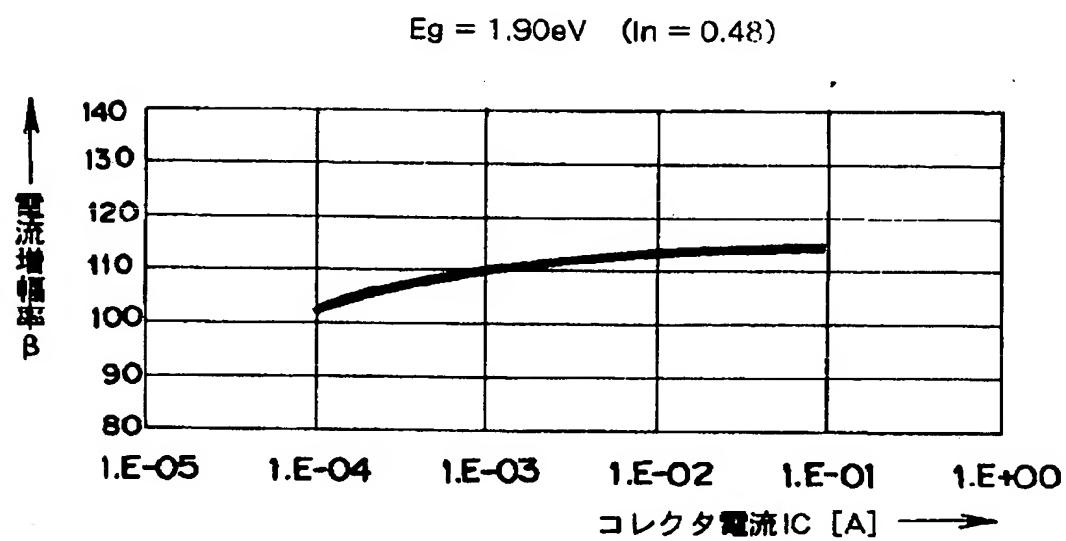


特2001-009143

【図2】



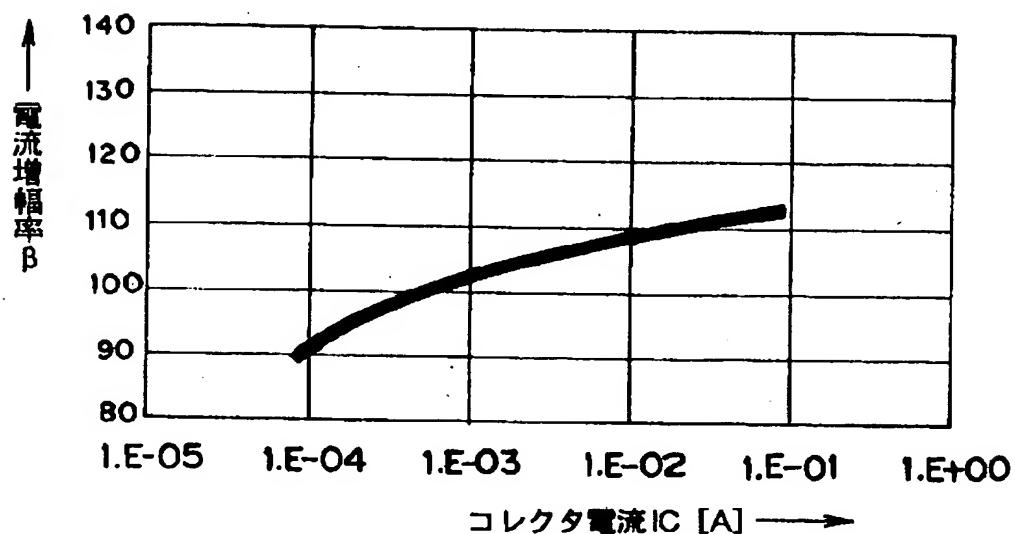
【図3】



特2001-009143

【図4】

$$E_g = 1.75\text{eV}$$



【書類名】 要約書

【要約】

【課題】 $In_x Al_y Ga_{1-x-y} P / GaAs$ ヘテロ接合において比較的広範囲に接合界面のエネルギー不連続値を設定できるようにすること。

【解決手段】 格子整合している p 型 $GaAs$ 層 6 と n 型 $In_x Al_y Ga_{1-x-y} P$ 層 8 とのヘテロ接合の界面に、 n 型 $In_x Al_y Ga_{1-x-y} P$ 層 8 とは組成の異なる $In_x Al_y Ga_{1-x-y} P$ 層 7 を制御層として設け、ヘテロ接合におけるエネルギー・バンドギャップ値を変更して電流増幅率 β 又はオフセット電圧 V_{be} の値を仕様に応じた値とすることができるようにした。

【選択図】 図 1

特2001-009143

認定・付加情報

特許出願の番号	特願2001-009143
受付番号	50100059016
書類名	特許願
担当官	第五担当上席 0094
作成日	平成13年 1月18日

<認定情報・付加情報>

【提出日】 平成13年 1月17日

次頁無

特2001-009143

出願人履歴情報

識別番号 [000002093]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府大阪市中央区北浜4丁目5番33号

氏 名 住友化学工業株式会社